



Modelagem e integração de um sistema embarcado em FPGA utilizando a interface Avalon para transferência e processamento de sinais de ultrassom

Lucas Scherbaty^{1*}, Amauri Amorin Assef¹, Joaquim Miguel Maia¹ e Sergio Okida¹

¹Universidade Tecnológica Federal do Paraná (UTFPR), Curitiba, Brasil

*scherbaty@alunos.utfpr.edu.br

Introdução, motivação e objetivo. A transferência massiva de dados e o tempo de processamento são desafios para novas abordagens de geração de imagens por ultrassom para auxílio ao diagnóstico médico. Para enfrentar essas demandas, novos algoritmos baseados em *hardware* têm sido propostos pela comunidade científica. Neste trabalho é apresentada a modelagem de um sistema implementado em *hardware* para transferência de dados entre um processador *softcore* Nios II de 32 bits e um filtro FIR passa-faixa (FPF) a partir a biblioteca DSP Builder do Matlab/Simulink (Mathworks, EUA) para FPGAs Intel.

Métodos. O modelo proposto, desenvolvido no Simulink, é apresentado na Figura 1, na qual a caixa *black block* representa o filtro digital FIR com 70 coeficientes realizado em uma estrutura transversal (*tapped delay line*). Blocos de interface Avalon-MM foram utilizados para possibilitar a transferência de dados entre o Nios II e o filtro. Os coeficientes do FPF foram calculados com a ferramenta FDATool, adotando o método Equiripple e as frequências de corte inferior e superior de 2 MHz e 4,4 MHz, respectivamente. A ferramenta de projeto de *hardware* Qsys foi utilizada para conectar o modelo proposto aos componentes complementares controlados pelo processador Nios II, como a interface Ethernet com arquitetura de acesso direto à memória (SGDMA). Durante a validação experimental foram utilizados dois kits DE2-115 (Terasic, Taiwan) com a FPGA Cyclone EP4CE115 para a transferência de 2000 *words* de dados. Os dados foram gerados no Matlab a partir da soma de três senoides com frequências de 1, 3,2 e 6,4 MHz, amostradas em 40 MHz. O primeiro kit é responsável pelo envio do pacote de dados, através da interface Ethernet, para o segundo kit com o código gerado a partir do modelo DSP. Para o sincronismo de dados, foram usadas duas memórias FIFOs para acoplar *clocks* distintos, como mostra a Figura 1. Após o segundo kit receber os dados, o processador Nios II gerencia o carregamento da memória FIFO de entrada e habilita a filtragem digital com frequência de 120 MHz. Posteriormente, o processador realiza a leitura dos dados processados e armazenados na memória FIFO de saída, finalizando o processo.

Resultados. O tempo de transmissão e processamento efetivo de dois pacotes de 2000 bytes foi de 3,08 ms. Consequentemente, a velocidade para o processamento completo foi limitada a 1,3 MB/s. O projeto ocupou 13% dos elementos lógicos de *hardware* da FPGA. Para melhor visualização, as Figuras 2(a) e (b) mostram 160 pontos do sinal de entrada e a respectiva FFT (*Fast Fourier Transform*) com a indicação dos três componentes de frequência. As Figuras 2(c) e (d) apresentam o sinal processado e a sua FFT enfatizando o componente de 3,2 MHz, sendo os demais atenuados em mais de 50 dB.

Discussão e Conclusões. Outras etapas de processamento, como por exemplo, detecção de envoltória e compressão logarítmica, podem ser implementadas pela técnica apresentada. Nesse caso, o tempo total não sofreria impacto significativo uma vez que a transferência de dados para memória ocupa mais de 90% de tempo total. Considerando uma imagem com 126 linhas de varredura (*scanlines*) com comprimento de 4000 bytes, totalizando 504 KB, seria possível obter

uma taxa de 2,6 quadros por segundo. Apesar desse valor não atingir os requisitos de processamento em tempo real (20 - 30 quadros/s), novos estudos estão sendo realizados para otimizar o processo através da utilização de processadores mais velozes, como por exemplo, o ARM em FPGA. Dessa forma, conclui-se que o objetivo de modelar um sistema de transferência de dados entre um processador embarcado em FPGA e uma aplicação DSP de filtragem digital foi realizado com sucesso.

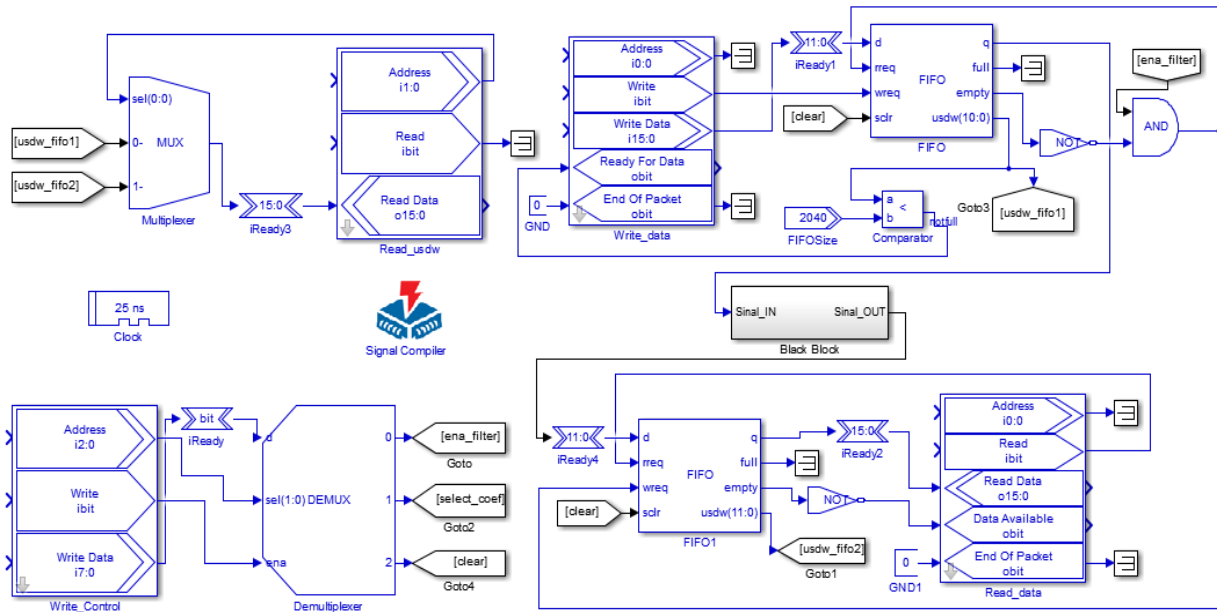


Figura 1. Modelo do sistema de interação entre o processador embarcado e o filtro passa-faixa digital.

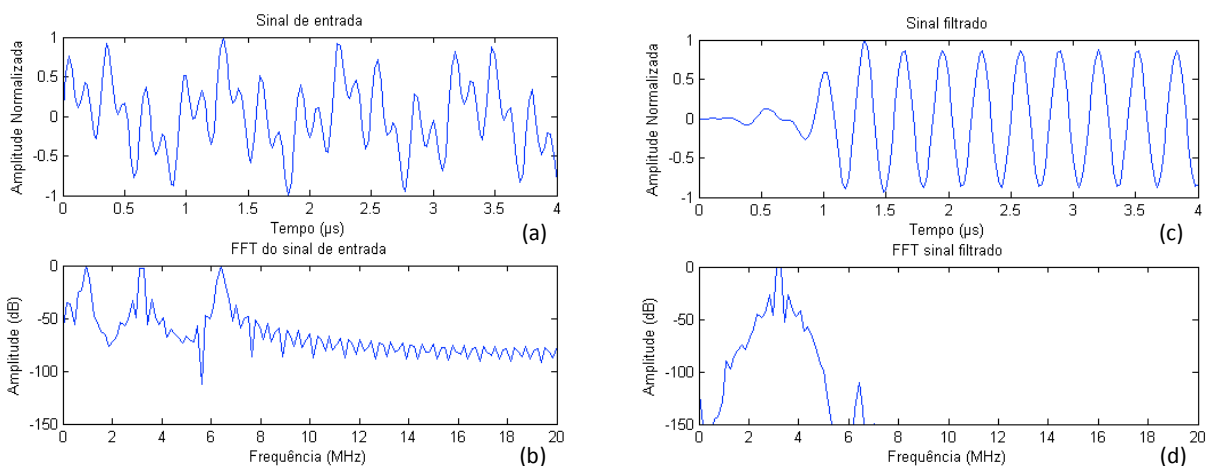


Figura 2. (a) Sinal de entrada. (b) Espectro do sinal de entrada com os componentes de 1MHz, 3,2 MHz e 6,2 MHz. (c) Sinal de saída. (d) Espectro do sinal de saída com o componente principal de 3,2 MHz.

Agradecimentos. Ao CNPq, FINEP, Fundação Araucária, CAPES, UTFPR e Ministério da Saúde pelo apoio financeiro ao desenvolvimento da pesquisa. Agradecemos também à empresa Intel Altera pela doação de kits de desenvolvimento.

Palavras-chave. FPGA; DSP Builder; Interface Avalon; Filtro Passa-Faixa; Ultrassom.